

Patent Abstracts of Japan

PUBLICATION NUMBER : 07235618
PUBLICATION DATE : 05-09-95

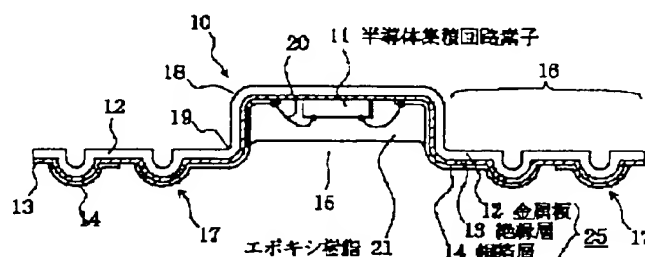
APPLICATION DATE : 25-02-94
APPLICATION NUMBER : 06027079

APPLICANT : MITSUI TOATSU CHEM INC;

INVENTOR : HOSHINO TATSUMI;

INT.CL. : H01L 23/12

TITLE : SEMICONDUCTOR PACKAGE



ABSTRACT : PURPOSE: To provide a low-priced semiconductor package which can be coped with the increase in number of terminals and also on which conventional technique can be used on a printed substrate.

CONSTITUTION: A metal base substrate 25, having a patterned copper foil layer 14, is formed on a metal plate 12 through the intermediary of an insulating layer 13, a flange part 16 is formed on the circumference of an aperture part 15 by conducting bending and drawing operations on the above-mentioned metal base substrate 25, and a plurality of protruding parts 17 are provided on the flange part 16. One end of the copper foil layer 14, having a wiring pattern, is exposed to the protruding part 17, and the other end is formed into an inner lead part against a semiconductor integrated circuit element 11. When this semiconductor package 10 is surface-mounted on a printed substrate, the protruding part 17 and the pad on the substrate are corresponded with each other and they are connected by reflow soldering.

COPYRIGHT: (C) JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235618

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl.⁶

H 0 1 L 23/12

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 12

L

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願平6-27079

(22) 出願日

平成6年(1994)2月25日

(71) 出願人

000003126

三井東圧化学株式会社

東京都千代田区霞が関三丁目2番5号

(72) 発明者

永峰 邦浩

神奈川県横浜市栄区笠間町1190番地 三井

東圧化学株式会社内

(72) 発明者

高橋 清一

神奈川県横浜市栄区笠間町1190番地 三井

東圧化学株式会社内

(72) 発明者

石垣 恭市

神奈川県横浜市栄区笠間町1190番地 三井

東圧化学株式会社内

(74) 代理人

弁理士 若林 忠

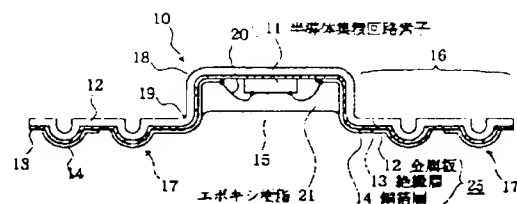
最終頁に続く

(54) 【発明の名称】 多端子半導体パッケージ

(57) 【要約】

【目的】 端子数の増加に対応でき、プリント基板への従来からの表面実装技術が使用できる、廉価な多端子半導体パッケージを提供する。

【構成】 金属板12上に絶縁層13を介して回路加工された銅箔層14を有する金属ベース基板25を用い、この金属ベース基板25に折り曲げ加工や絞り加工を施して開口面15の周縁につば部16を有した形状とし、つば部16に複数の突起部17を設ける。配線パターンに回路加工された銅箔層14の一端が突起部17に露出する。



突起部17は、金属ベース基板25の開口面15の周縁に設けられ、突起部17の一端は、銅箔層14の一端と接合する。

【特許請求の範囲】

【請求項1】 銅箔層と金属板とが絶縁層を介して積層されかつ前記銅箔層に回路加工が行なわれた金属ベース基板を用い、前記金属ベース基板に折り曲げ加工あるいは折り加工を行なうことによりつば部を備えた形状とされた立体印刷基板により構成される、半導体素子搭載用の多端子半導体パッケージにおいて、

前記つば部面上に複数の突起部が設けられ、前記回路加工された銅箔層の一端側が前記突起部の表面に露出し、前記回路加工された銅箔層が搭載される半導体素子と前記突起部との電気的接続に使用されることを特徴とする多端子半導体パッケージ。

【請求項2】 前記各突起部の頂点が同一平面に対して実質的に接するように、前記各突起部が配置されている請求項1に記載の多端子半導体パッケージ。

【請求項3】 前記突起部の形状が半球状である請求項1または2に記載の多端子半導体パッケージ

【請求項4】 前記突起部の形状が錐状または角柱状である請求項1または2に記載の半導体パッケージ。

【請求項5】 前記立体印刷基板の形状がスプー皿状であり、その屈曲部の曲率半径が0.1mm以上5mm以下である請求項1ないし4いずれか1項記載の半導体パッケージ。

【請求項6】 前記突起部の頂点近傍の曲率半径が0.1mm以上2mm以下である請求項3に記載の半導体パッケージ。

【請求項7】 前記絶縁層が、伸び率が30%以上でありかつガラス転移温度が160℃以上350℃以下である熱可塑性ポリイミドで構成されている、請求項1ないし6いずれか1項に記載されている半導体パッケージ。

【請求項8】 前記突起部が、つば部の外周端より0.05mm以上離れ、かつ個々の突起部が各々0.1mm以上離れて形成されている請求項1ないし7いずれか1項に記載の半導体パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路素子用の半導体パッケージに関し、特に、半導体集積回路素子に対して電気的に接続されたアウターリード部分がパッケージ下面から多数導出されている多端子半導体パッ

る。一方、PGA80では、ICチップに接続されるリードが、パッケージの下面より、端子（ピン）81として導出されている。QFPでは、パッケージの外周の4辺からしかアウターリードが取り出せないため、多ピン化すなわちアウターリードの本数を増加させた場合に、アウターリード相互の間隔すなわちピンピッチを狭小化せざるを得ないが、PGAでは、パッケージの下面全体をリードの導出空間として利用できるため、端子ピッチをそれほど狭小化することなく、多ピン化をなすことができる。半導体素子の大規模集積化及び半導体素子サイズの大型化に伴い、今後、アウターリードの本数は400～1000本程度にまで増加すると予想され、この場合、従来のQFPでは対応困難であると考えられている。

【0003】PGAに対して半導体集積回路素子のパッケージングを行なう場合、下面に金属製のピン端子がろう付けされかつ上面にはダイパッド及びインナーリードがメタライズ処理によって形成されたセラミックパッケージを使用し、このセラミックパッケージにICチップをマウントし、ボンディングワイヤによってICチップとインナーリードとの電気的接続を完成させた後、セラミックまたは金属製の蓋が取り付けられる。この他、セラミック基板あるいはプリント基板上にダイパッド及びインナーリードをパターン形成し、その後、これらセラミック基板あるいはプリント基板の下面に端子を取付け、ICチップを搭載し、最後に全体を樹脂でモールドすることによりPGAへのパッケージングを行なう方法もある。

【0004】また、従来のQFPの有する問題点を解決し、アウターリード間隔の狭小化に対応できるものとして、例えば特開平1-132147号公報に記載された半導体パッケージや、本発明者らによる特開平4-6893号公報に記載された電子回路パッケージがある。特開平1-132147号公報記載のパッケージは、アルミニウムまたは銅をベース金属とし、絶縁層として数十μm厚のエポキシ樹脂からなる樹脂層を設け、その後、銅箔を積層してパターンニングし、プレス加工によって屈曲部を形成したものであり、中央部にICチップが搭載され、周辺部がアウターリードとして使用される。また特開平4-6893号公報記載のパッケージは、金属ベース基板に対して折り曲げ加工

る。一方、PGA80では、ICチップに接続されるリードが、パッケージの下面より、端子（ピン）81として導出されている。QFPでは、パッケージの外周の4辺からしかアウターリードが取り出せないため、多ピン化すなわちアウターリードの本数を増加させた場合に、アウターリード相互の間隔すなわちピンピッチを狭小化せざるを得ないが、PGAでは、パッケージの下面全体をリードの導出空間として利用できるため、端子ピッチをそれほど狭小化することなく、多ピン化をなすことができる。半導体素子の大規模集積化及び半導体素子サイズの大型化に伴い、今後、アウターリードの本数は400～1000本程度にまで増加すると予想され、この場合、従来のQFPでは対応困難であると考えられている。

【0003】PGAに対して半導体集積回路素子のパッケージングを行なう場合、下面に金属製のピン端子がろう付けされかつ上面にはダイパッド及びインナーリードがメタライズ処理によって形成されたセラミックパッケージを使用し、このセラミックパッケージにICチップをマウントし、ボンディングワイヤによってICチップとインナーリードとの電気的接続を完成させた後、セラミックまたは金属製の蓋が取り付けられる。この他、セラミック基板あるいはプリント基板上にダイパッド及びインナーリードをパターン形成し、その後、これらセラミック基板あるいはプリント基板の下面に端子を取付け、ICチップを搭載し、最後に全体を樹脂でモールドすることによりPGAへのパッケージングを行なう方法もある。

【0004】また、従来のQFPの有する問題点を解決し、アウターリード間隔の狭小化に対応できるものとして、例えば特開平1-132147号公報に記載された半導体パッケージや、本発明者らによる特開平4-6893号公報に記載された電子回路パッケージがある。特開平1-132147号公報記載のパッケージは、アルミニウムまたは銅をベース金属とし、絶縁層として数十μm厚のエポキシ樹脂からなる樹脂層を設け、その後、銅箔を積層してパターンニングし、プレス加工によって屈曲部を形成したものであり、中央部にICチップが搭載され、周辺部がアウターリードとして使用される。また特開平4-6893号公報記載のパッケージは、金属ベース基板に対して折り曲げ加工

る。一方、PGA80では、ICチップに接続されるリードが、パッケージの下面より、端子（ピン）81として導出されている。QFPでは、パッケージの外周の4辺からしかアウターリードが取り出せないため、多ピン化すなわちアウターリードの本数を増加させた場合に、アウターリード相互の間隔すなわちピンピッチを狭小化せざるを得ないが、PGAでは、パッケージの下面全体をリードの導出空間として利用できるため、端子ピッチをそれほど狭小化することなく、多ピン化をなすことができる。半導体素子の大規模集積化及び半導体素子サイズの大型化に伴い、今後、アウターリードの本数は400～1000本程度にまで増加すると予想され、この場合、従来のQFPでは対応困難であると考えられている。

させる場合に限界がある。

【0005】結局、ある程度以上の多ピン化、多端子化を実現する場合には、PGAなどのようにパッケージ下面からのリード端子など電気的接続部位の導出が不可欠となる。PGAの場合、プリント基板へのパッケージの取付けはピン挿入型の実装となり、プリント基板に設けられたスルーホールにアウターリード端子を差し込む必要がある。しかし、このようなピン挿入型の実装は、表面実装に比べて高密度実装時に実装面積の縮小が困難である。このため、表面実装に適したアウターリード構造がさらに求められている。またPGAでは多数のアウターリード端子をろう付けする必要がある、パッケージングコストはQFPと比較するとかなり高くなる。

【0006】現在、表面実装に適合させるため、アウターリード端子を短くしたショートリードPGA、またリード端子をなくしたBGA(Ball Grid Array)等が開発されている。図8(a)はBGAの構成の概略を示す下面図、図8(b)はBGAをプリント基板に実装した状態を示す模式断面図である。BGA90では、PGAのアウターリード端子の代りにボール状の半田バンプ91がパッケージ下面に形成されている。プリント基板92にBGA90を実装する場合、半田バンプ91を電気的接続部位として、リフロー加熱によりプリント基板92上のパッドと電気的に接続させている。BGA90では、ICチップ93は、セラミックないしガラスエポキシ製の基板94上にダイパッド95を介して搭載されており、基板94上の銅箔配線96(インナーリード)に対してボンディングワイヤ97によって接続されている。さらに、基板94を貫通するスルーホールビア98が設けられ、このスルーホールビア98を介して銅箔配線96と半田バンプ91とが電気的に接続されている。さらに、ICチップ93や銅箔配線96、ボンディングワイヤ97を封止するために、エポキシなどからなるモールド材99が基板94の上面に設けられている。

【0007】しかしBGAにおいては、パッケージ下面に形成される半田バンプの高さが不揃いになりやすく、プリント基板への実装時に接触不良が発生しやすいという問題点のほか、一度表面実装した後にパッケージを取り外した場合には、半田バンプを再度形成する必要があるなどの問題点がある。

れかつ前記銅箔層に回路加工が行なわれた金属ベース基板を用い、前記金属ベース基板に折り曲げ加工あるいは絞り加工を行なうことによりつば部を備えた形状とされた立体印刷基板により構成される。半導体素子搭載用の多端子半導体パッケージにおいて、前記つば部面上に複数の突起部が設けられ、前記回路加工された銅箔層の一端側が前記突起部の表面に露出し、前記回路加工された銅箔層が搭載される半導体素子と前記突起部との電気的接続に使用される。

【0010】

【作用】本発明の多端子半導体パッケージでは、つば部に形成され銅箔層の一端が露出する突起部が、この多端子半導体パッケージと他のプリント配線基板などの電気的接続部位として使用される。すなわちこの突起部は、PGAパッケージでのアウターリード端子や、BGAパッケージでの半田バンプに相当することになる。本発明の多端子半導体パッケージは、従来のPGAと比較してピン状のアウターリード端子を取り付ける必要がなく、また金属ベース基板に曲げ絞り加工やプレス加工を施すことで突起部を形成できるので、パッケージ形成工程が簡便に行なえ、かつアウターリード端子をろう付けするよりもピンピッチを狭小化でき、さらなる多端子化、多ピン化が可能である。突起部が金属ベース基板と一体化した構成となっているので、BGAと比較して、一度表面実装された半導体パッケージを取り外し再度そのままで表面実装すること可能である。

【0011】本発明の半導体パッケージにおいて、金属ベース基板を構成する金属板としては、厚み0.05～2.0mm程度のものが使用されるが、好ましくは厚さ0.1～1.0mmのアルミニウム、洋白や真鍮等の銅合金、銅、銅クラッドインバー、ステンレス鋼、鉄、ケイ素鋼、電解酸化処理されたアルミニウム等を用いることができる。

【0012】本発明に用いられる絶縁層としては、例えば、エポキシフェノール、ビスマレイミド等の熱硬化性樹脂、及びポリアミドイミド、ポリスルホン、ポリパラバン酸、ポリフェニレンサルファイド等の熱可塑性樹脂、及び熱可塑性ポリイミドの前駆体であるポリアミド酸ワニスを加熱イミド化して得られるものを使用できる。あるいは耐熱性有機高分子フィルム、例えばポリイ

を取り付けると、前記銅箔層の一端が露出する突起部が、この多端子半導体パッケージと他のプリント配線基板などの電気的接続部位として使用される。すなわちこの突起部は、PGAパッケージでのアウターリード端子や、BGAパッケージでの半田バンプに相当することになる。本発明の多端子半導体パッケージは、従来のPGAと比較してピン状のアウターリード端子を取り付ける必要がなく、また金属ベース基板に曲げ絞り加工やプレス加工を施すことで突起部を形成できるので、パッケージ形成工程が簡便に行なえ、かつアウターリード端子をろう付けするよりもピンピッチを狭小化でき、さらなる多端子化、多ピン化が可能である。突起部が金属ベース基板と一体化した構成となっているので、BGAと比較して、一度表面実装された半導体パッケージを取り外し再度そのままで表面実装すること可能である。

【0013】本発明の半導体パッケージにおいて、金属ベース基板を構成する金属板としては、厚み0.05～2.0mm程度のものが使用されるが、好ましくは厚さ0.1～1.0mmのアルミニウム、洋白や真鍮等の銅合金、銅、銅クラッドインバー、ステンレス鋼、鉄、ケイ素鋼、電解酸化処理されたアルミニウム等を用いることができる。

【0014】本発明に用いられる絶縁層としては、例えば、エポキシフェノール、ビスマレイミド等の熱硬化性樹脂、及びポリアミドイミド、ポリスルホン、ポリパラバン酸、ポリフェニレンサルファイド等の熱可塑性樹脂、及び熱可塑性ポリイミドの前駆体であるポリアミド酸ワニスを加熱イミド化して得られるものを使用できる。あるいは耐熱性有機高分子フィルム、例えばポリイ

ド酸ワニス、あるいは熱可塑性ポリイミドを塗布し乾燥し、積層させてもかまわない。

【0013】前述の絶縁層材料を組み合わせて用いることも可能である。さらに、放熱性を向上させる目的で、曲げ等の機械加工性を阻害しない範囲で、前記絶縁層に無機フィラを加えても構わない。これらフィラとしては、アルミナ、シリカ、炭化ケイ素、窒化アルミニウム、窒化ホウ素等が挙げられる。

【0014】このような絶縁層のうち、本発明において最も好ましいものは、主鎖にイミド構造を有する熱可塑性ポリイミドであって、ガラス転移温度(T_g)が160℃以上350℃以下であり、JIS(日本工業規格)C2318に規定された方法により測定される破断時の伸び率が30%以上のものである。ガラス転移温度を上述のように規定することにより、金属板-銅箔層間の接着強度とワイヤボンディング時の熱信頼性がともに優れたものとなる。また伸び率30%以上とすることにより、機械加工時の信頼性が優れたものとなる。このような熱可塑性ポリイミドにおいても、もちろん無機フィラを混入することができる。

【0015】本発明において、導体層形成に使用される銅箔層には、比較的安価に容易に入手可能な、市販の電解銅箔、圧延銅箔等が用いられる。本発明においては、回路加工された銅箔層が、インナーリードおよびアウトリードに相当する。銅箔層の回路加工の方法としては、通常のプリント配線基板で使用される公知のパターニング(エッチング)法などが使用できる。

【0016】パターニングされた銅箔層表面には、後述のワイヤボンディングを行なうために、Ni/Auメッキ、Agメッキ等のメッキ処理を行なうことが好ましい。このメッキ処理は、各部の曲げ加工を行なう前に実施することも可能であるが、曲げ加工後に行なう方が、信頼性の面で優れている。

【0017】金属板、絶縁層、銅箔層を相互に積層する方法としては、熱ロール法や熱プレス法等がある。また金属板上に絶縁層を形成後、蒸着法またはメッキ法などで導体層としての銅箔層を形成するビルドアップ法も使用可能である。

【0018】本発明において、放熱性の改善のためなどに半導体集積回路素子を金属板上に直接搭載するときには、金属ベース基板上の絶縁層を除去する必要がある。

エッチング法、レーザ加工法が用いられる。

【0019】絶縁層がポリイミドからなる場合、ウェットエッチングとしては、アルカリ密液エッチングが用いられる。あるいは、酸処理、あるいは、溶剤処理、あるいは、レーザーエッチング等が用いられる。

【0020】ドライエッチングとしては酸素プラズマを用いたプラズマ灰化法や反応性イオンエッチング法等があり、必要に応じて CF_4 等のフルオロカーボン系のガスを混合してもよい。レーザ加工法としては、エキシマレーザや炭酸ガスレーザ、YAGレーザなどを使用する方法があり、エキシマレーザとしては例えばArF系及びKrF系のものを挙げることができる。

【0021】本発明における折り、曲げ機械加工は、通常の金型を用いたプレス加工で行なうことができる。回路加工された銅箔層を折り加工時に保護するために、金型表面に樹脂をコートして用いたり、銅箔層の配線パターン形状に合わせて金型に凹形状を設けてもよい。深絞り、曲率半径が小さい曲げ加工においては、熱をかけた加工や、絶縁層を溶剤等で膨潤させる等の処理を行なってもよい。

【0022】本発明の半導体パッケージの断面形状は適宜選択し得るが、加工の優位性からたとえばスプ皿型とし、その屈曲部での曲率半径が0.1mm~5.0mmの範囲となるように加工を行なうことが望ましい。後述の実施例では1.0mmとした。

【0023】つば部に形成される複数の突起部は、加工の優位性及びプリント基板への電気的接続信頼性を考慮して、その形状は例えば半球状とする。あるいはこの形状は、円錐、三角錐などの錐状や、方形すなわち四角柱などの角柱状とすることも可能である。いずれの形状にせよ、各突起部の頂点(頂面)が同一平面に対して実質的に接するようにすることが望ましい。つば部に設けられる突起部の形成方法としては、折り機械加工や、通常の金型を用いたプレス加工で行なうことができる。立体印刷基板としてスプ皿状に折り加工や曲げ加工を行なうときに、つば部面に同時にプレス加工で突起部を形成することも可能であるし、スプ皿状に加工した後、別の金型を用いたプレス加工で突起部を形成することも可能である。突起部において、接続信頼性を高め、絶縁層や銅箔層に損傷が生じることを防ぐために、その曲率半径は、0.1~2.0mmの範囲となるようにすることが望ましい。後述の実施例では曲率半径を0.5mmとした。さらに、プリント基板への実装時における金属板側との短絡を防ぐために、突起部はつば部の外周端から0.05mm以上離れて形成されるようにすることが望ましい。また、突起部間の短絡を防ぎ、突起部間に配

【0024】本発明の半導体パッケージと半導体集積回路素子との接着には、ダイボンディングとして金-シリコン接合を用いた熱圧着法、あるいは導電性接着樹脂を用いた接着法、あるいは、溶剤処理、あるいは、レーザーエッチング等が用いられる。

ング法またバンプ形成を用いたフリップチップ法などが用いられる。

【0025】本発明の多端子半導体パッケージ上に搭載される半導体集積回路素子の個数は1個に限定されるものではなく、複数個の素子を搭載することも可能である。複数個の素子を搭載する場合、各素子間の相互の配線は、銅箔層を用いるか、またはボンディングワイヤを併用する方法を採用する。また搭載した半導体集積回路素子は一般に気密封止されるが、気密封止には、例えばエポキシ樹脂等によるトランスファモールド成形または

10 ポッティング法を使用することができる。封止樹脂には放熱性及び熱膨張係数整合等の理由により、必要に応じて無機フィラ（アルミナ、シリカ、窒化アルミニウム、窒化ケイ素、窒化ホウ素、炭化ケイ素など）を混入する。

【0026】本発明の半導体パッケージをプリント基板に表面実装する場合には、表面実装法として通常の半田クリーム印刷法が使用される。半田クリームとしては、不定形状あるいは球形の共晶半田（Sn63%、Pb37%）または高温半田（Sn5%、Pb95%）などの半田粒子を含むものが使用できる。半田クリームの印刷後、自動搭載機によりプリント基板上に本発明の半導体パッケージを搭載し、リフロー炉を用いて半田付けを行なう。リフロー炉としては、赤外線加熱及びエア併用タイプ、空素リフロー、及びベーパーフェイズタイプのものなどを使用することが望ましい。

【0027】

【実施例】以下、本発明の実施例について、図面を参照して説明する。

【0028】《第1実施例》図1(a)は本発明の第1実施例の半導体パッケージの上面図、図1(b)、(c)はそれぞれこの半導体パッケージの側面図、上面斜視図である。図2は、図1(a)のA-A'線での断面図である。

【0029】この半導体パッケージ10は、半導体集積回路素子（ICチップ）11を搭載するものである。半導体パッケージ10は、金属板12上に絶縁層13を介して銅箔層14が積層された金属ベース基板25を使用し、銅箔層14に対して回路パターンを形成した後に、金属ベース基板25に対して折り曲げ加工あるいは絞り加工を行なって開口面15を有するスプー皿状にし、さ

無電解メッキ法により厚さ0.05~0.1 μ mの金（Au）層（不図示）が形成されている。

【0030】突起部17の形状は半球状であって、スプー皿状部の底面とは逆方向（図1(b)および図2において図示下方向）に突出している。各突起部17の頂点は、同一平面に対して実質的に接するようになっており、後述の説明から明らかなように、この平面は、この半導体パッケージが実装されるプリント基板に相当する。スプー皿状部の各屈曲部、すなわち底面を取り囲む屈曲部18と、つば部16および開口面15の境界に位置する屈曲部19は、いずれも曲率半径（内半径）が1.0mmとなるように加工されている。半球状の突起部17の曲率半径（外半径）は0.5mmとなっている。

【0031】図3は、この半導体パッケージ10を開口面15側から見た図である。銅箔層14は、回路加工によって、突起部17にそれぞれ対応する配線パターンとされており、各配線パターンの一端側は突起部17に至ってその突起部17の外周に沿った形状の円形部となっている。したがって、突起部17の表面は配線パターンによって覆われており、これによって突起部17において配線パターンすなわち銅箔層14が露出する構成となっている。各配線パターンの他端側は半導体集積回路素子11の近傍のインナーリード領域にまで延びている。

【0032】突起部17の外周部からつば部16の外周端までの距離、すなわち図3のxは、0.05mm以上となっている。これは、この半導体パッケージ10を他のプリント基板などに実装する際に半田の回り込みなどによって突起部17と金属板12とが短絡することを防ぐためである。また、隣接する突起部17の間に、他の突起部17への配線パターンを通過させるために、これら隣接する突起部17の外周部相互の間隔、すなわち図3のyは、0.1mm以上に設定されている。

【0033】金属板12としては厚み0.2mmの銅板を用い、絶縁層13としては、三井東圧化学（株）製の熱可塑性ポリイミドの中からガラス転移温度が160℃~350℃であってJIS-C2318に規定される伸び率が30%以上であるものを選択して使用した。絶縁層13の厚みは20 μ mとした。銅箔層14としては厚さ18 μ mの銅箔を用い、金属板12、絶縁層13及び

突起部17は、開口面15の底面から突出する突起部17の4辺を取り囲むコの字型に形成されている。そして、突起部17は各辺ごとに2列に配置され、合計72個設けられている。また、回路パターンが形成された銅箔層14は、突起部17の頂点にまで延び、突起部17の頂点を覆うように形成されている。また、開口面15の底面から突起部17の頂点までの距離は、0.5mm以上である。

半導体集積回路素子11は、突起部17の頂点にマウントされている。この場合、半導体集積回路素子11は半導体パッケージ10上のダイパッド（不図示）上に、金-シリコン接合の導電性接点（不図示）を有する。また、突起部17の頂点にマウントされている半導体集積回路素子11は、突起部17の頂点にマウントされている。この場合、半導体集積回路素子11は半導体パッケージ10上のダイパッド（不図示）上に、金-シリコン接合の導電性接点（不図示）を有する。また、突起部17の頂点にマウントされている半導体集積回路素子11は、突起部17の頂点にマウントされている。この場合、半導体集積回路素子11は半導体パッケージ10上のダイパッド（不図示）上に、金-シリコン接合の導電性接点（不図示）を有する。

半導体集積回路素子11の近傍にまで延びているが、配線パターンのインナーリード部に相当するボンディング領域と半導体集積回路素子11とが、ボンディングワイヤ20によって電気的に接続されている。

【0035】さらに、半導体集積回路素子11及びボンディングワイヤ20の気密封止のために、つば部16を除いて、トランスファモールド成形によって、フィラ（アルミナ、シリカ、窒化アルミニウム、窒化ホウ素等）入りのエポキシ樹脂21が充填されている。エポキシ樹脂21を半導体パッケージ10内に充填することにより、半導体パッケージ10の機械的強度も向上する。

【0036】次に、この半導体パッケージのプリント基板への表面実装について、図4を用いて説明する。

【0037】プリント基板22への半導体パッケージ10の実装は、突起部17において露出している銅箔層14とプリント基板22上のパッド（不図示）とを半田フィレット23によって接合することにより、すなわち通常の半田クリーム印刷法によって行なわれる。まず、突起部17に対向する位置にパッドが形成されたプリント基板を用意してパッド上に半田クリームを印刷し、自動搭載機によって半導体パッケージをプリント基板上に搭載し、最後のリフロー炉によってリフロー加熱を行なうことにより、半導体パッケージ10の表面実装が完了する。

【0038】《第2実施例》上述の第1実施例において突起部17は2列格子で計72個設けられていたが、本発明の多端子半導体パッケージでの突起部の配置および個数は任意である。図5に示す半導体パッケージ30では、半球状の突起部31の由率半径を小さくし（例えば0.25mm）、開口面を曲む各辺のつば部において3列以上あるいは千鳥格子状に突起部31を配列することにより、限られた面積内により多くの電気的接続部位を設けることが可能となる。

【0039】また、突起部の形状は半球状に限られるものではない。図6(a)~(c)に示されるように、突起部を形成する際の絞り加工やプレス加工によって絶縁層13及び銅箔層14が損傷を受けることがなく、プリント基板への接続信頼性が保たれる範囲において、種々の形状とすることができる。図6(a)に示したものである、突起部32は半球を高さ方向に長くした形状となっている。

【図5】図5(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図5(a)の半導体パッケージの側面図、上面斜視図である。

【図6】図6(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図6(a)の半導体パッケージの側面図、上面斜視図である。

【図7】図7(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図7(a)の半導体パッケージの側面図、上面斜視図である。

【図8】図8(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図8(a)の半導体パッケージの側面図、上面斜視図である。

【図9】図9(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図9(a)の半導体パッケージの側面図、上面斜視図である。

【図10】図10(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図10(a)の半導体パッケージの側面図、上面斜視図である。

【図11】図11(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図11(a)の半導体パッケージの側面図、上面斜視図である。

【図12】図12(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図12(a)の半導体パッケージの側面図、上面斜視図である。

【図13】図13(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図13(a)の半導体パッケージの側面図、上面斜視図である。

【図14】図14(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図14(a)の半導体パッケージの側面図、上面斜視図である。

【図15】図15(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図15(a)の半導体パッケージの側面図、上面斜視図である。

【図16】図16(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図16(a)の半導体パッケージの側面図、上面斜視図である。

【図17】図17(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図17(a)の半導体パッケージの側面図、上面斜視図である。

【図18】図18(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図18(a)の半導体パッケージの側面図、上面斜視図である。

【図19】図19(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図19(a)の半導体パッケージの側面図、上面斜視図である。

つば部面上に複数の突起部を設けて他のプリント基板などとの電気的接続部位とすることにより、PGAにおけるようなアウターリード端子のろう付け作業やBGAにおけるような半田パンプの形成を行なうことなしに、廉価に多端子（多ピン）の半導体パッケージを作製することができるという効果がある。

【0041】本発明の多端子半導体パッケージの外部接続端子数は、パッケージの下面の全領域を使用できるBGAと比較すれば劣るものの、PGAと比較した場合には、PGAのピンピッチよりも突起部のピッチを狭小化できるため、PGAの1.5~2倍程度まで外部接続端子数を増加させることが可能である。この場合の突起部相互のピッチは、QFPによる表面実装時に問題になるような0.3~0.5mm程度の狭小ピッチである必要はなく、0.8~1.0mm程度のピッチで十分な外部接続端子数を確保することができる。

【0042】本発明の多端子半導体パッケージにおいて、つば部に設けられる突起部は、金型等による機械的加工により金属ベース基板自身で形成されるため、BGAに用いられる半田パンプより形状の安定性が良く、また高さの不揃いを小さくすることができる。一度プリント基板に表面実装された後に修理などで取り外した場合であっても、再度そのまま表面実装を行なうことが可能である。

【0043】本発明の多端子半導体パッケージは、ダイボンディングや、ワイヤボンディング技術、あるいはプリント基板への表面実装技術など、従来からの技術を用いることが可能なので、半導体集積回路用のパッケージの多ピン化に寄与することが大である。

【図面の簡単な説明】

【図1】(a)は本発明の第1実施例の半導体パッケージを示す上面図、(b)、(c)はそれぞれ図1(a)の半導体パッケージの側面図、上面斜視図である。

【図2】図1(a)のA-A'線での断面図である。

【図3】図1(a)の半導体パッケージをその開口面側から見た図である。

【図4】図1(a)の半導体パッケージをプリント基板上に実装した状態を示す断面図である。

【図5】本発明の第2実施例の半導体パッケージにおける突起部の配置を示す図である。

【図6】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図6(a)の半導体パッケージの側面図、上面斜視図である。

【図7】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図7(a)の半導体パッケージの側面図、上面斜視図である。

【図8】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図8(a)の半導体パッケージの側面図、上面斜視図である。

【図9】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図9(a)の半導体パッケージの側面図、上面斜視図である。

【図10】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図10(a)の半導体パッケージの側面図、上面斜視図である。

【図11】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図11(a)の半導体パッケージの側面図、上面斜視図である。

【図12】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図12(a)の半導体パッケージの側面図、上面斜視図である。

【図13】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図13(a)の半導体パッケージの側面図、上面斜視図である。

【図14】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図14(a)の半導体パッケージの側面図、上面斜視図である。

【図15】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図15(a)の半導体パッケージの側面図、上面斜視図である。

【図16】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図16(a)の半導体パッケージの側面図、上面斜視図である。

【図17】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図17(a)の半導体パッケージの側面図、上面斜視図である。

【図18】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図18(a)の半導体パッケージの側面図、上面斜視図である。

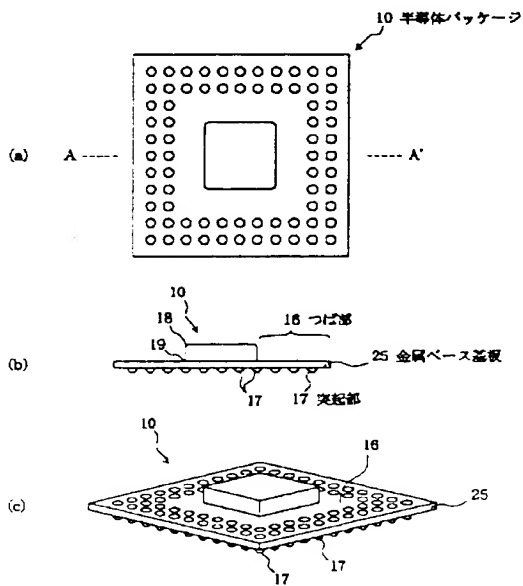
【図19】(a)は本発明の第2実施例の半導体パッケージ30を示す上面図、(b)、(c)はそれぞれ図19(a)の半導体パッケージの側面図、上面斜視図である。

(7)

特開平7-235618

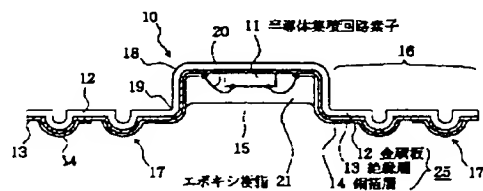
- 11
12 金属板
13 絶縁層
14 銅箔層
15 開口面
16 つば部
17, 31~34 突起部
18, 19 屈曲部
20, 97 ボンディングワイヤ
21 エポキシ樹脂
22, 92 プリント基板
23 半田フィレット

【図1】

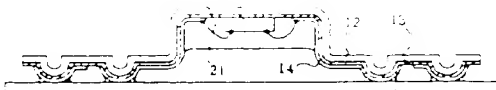
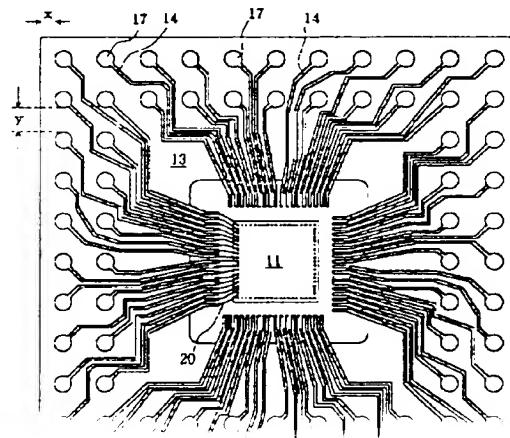


- 25 金属ベース基板
80 PGA
81 端子
90 BGA
91 半田バンプ
93 ICチップ
94 基板
95 ダイパッド
96 銅箔配線
10 98 スルホールビア
99 モールド材

【図2】



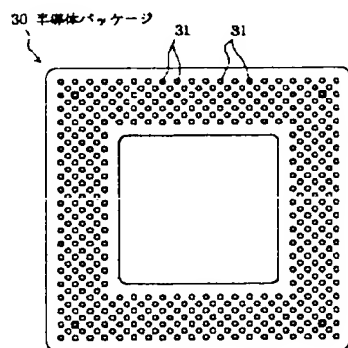
【図3】



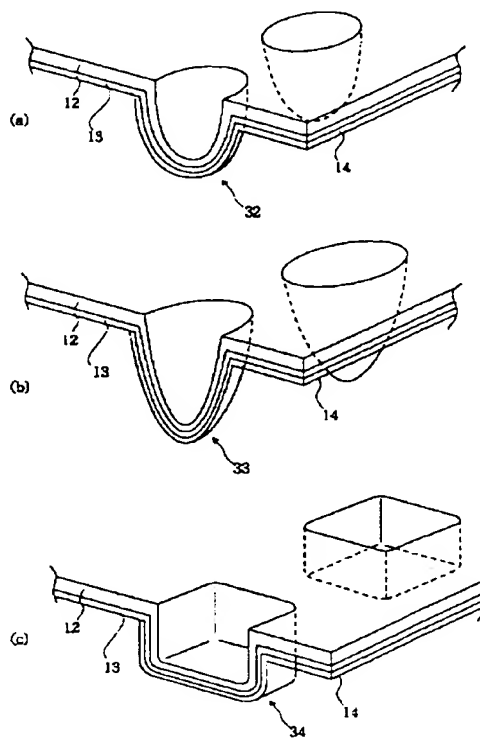
(8)

特開平7-235618

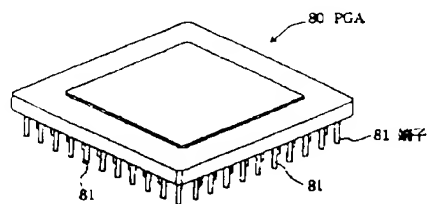
【図5】



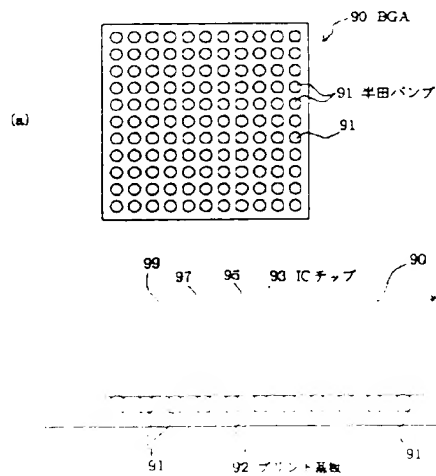
【図6】



【図7】



【図8】



(9)

特開平7-235618

フロントページの続き

(72)発明者 星野 ▲巽▼
神奈川県横浜市栄区笠間町1190番地 三井
東圧化学株式会社内